

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-118240
(P2002-118240A)

(43) 公開日 平成14年4月19日 (2002.4.19)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 7 1 A 5 F 0 8 3
21/8242			3 2 1
			6 2 5 A

審査請求 未請求 請求項の数15 O L (全 10 頁)

(21) 出願番号 特願2000-306554(P2000-306554)

(22) 出願日 平成12年10月5日 (2000.10.5)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 梶山 健

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100063806

弁理士 三好 秀和 (外7名)

Fターム(参考) 5F083 AD03 AD17 JA35 LA12 MA06
MA17 MA20 NA08 PR07 PR40

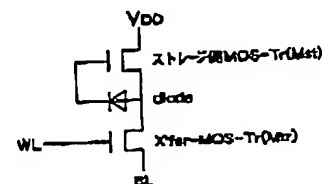
(54) 【発明の名称】 半導体記憶装置および半導体記憶装置の製造方法

(57) 【要約】

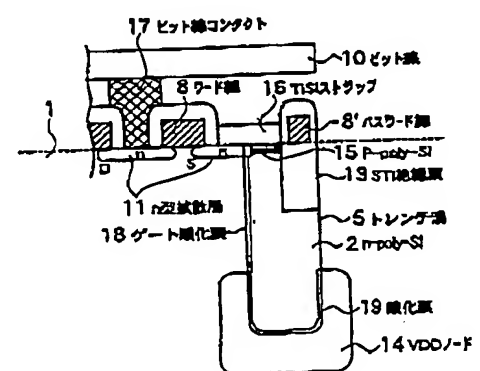
【課題】 ゲインセル構造を採用しつつ高集積を可能にする半導体記憶装置を提供する。

【解決手段】 ゲインセル構造の半導体記憶装置は、半導体基板と、この半導体基板表面から下部拡散層に達するトレンチ溝と、トレンチ溝の側壁に沿って位置する垂直型の第1トランジスタと、トレンチ溝に隣接して前記半導体基板上に位置する平面型の第2トランジスタと、トレンチ溝の最上部に位置するダイオードと、ダイオードと第2トランジスタとを接続するストラップとを備える。ダイオードはたとえば、PNダイオード、ヘテロ接合ダイオード、ショットキーダイオードなどである。これにより、縦型の2トランジスタ1ダイオードのゲインセル構造が、単位セル当たりの占有面積の増大を抑制して実現される。

(a)



(b)



Best Available Copy

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板内の下部拡散層と、

前記半導体基板表面から前記下部拡散層に連するトレンチ溝と、

前記トレンチ溝の側壁に沿って位置する垂直型の第 1 トランジスタと、

前記トレンチ溝に隣接して前記半導体基板上に位置する平面型の第 2 トランジスタと、

前記トレンチ溝の最上部に位置するダイオードと、

前記ダイオードと第 2 トランジスタとを接続するストラップとを備える半導体記憶装置。

【請求項 2】 前記半導体基板上で所定の方向に延びるワード線をさらに備え、

前記平面型の第 2 トランジスタは、ワード線の一方の側で前記トレンチに隣接する第 1 拡散領域と、ワード線を挟んで、前記第 1 拡散領域と反対側に位置する第 2 拡散領域とを有することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記第 2 トランジスタの第 2 拡散領域に接続され、前記ワード線と直交する方向に伸びるビット線をさらに備えることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記ダイオードは、PN ダイオードであることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】 前記トレンチ溝は、第 1 導電型の半導体物質でトレンチ溝の最上部近傍まで充填され、前記第 1 導電型とは逆の第 2 導電体物質で、トレンチ溝最上部が充電されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 6】 前記ダイオードは、ヘテロ接合ダイオードであることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 7】 前記トレンチ溝は、半導体物質で充填され、前記ストラップは、前記半導体物質と異なる種類の半導体物質で形成されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 8】 前記ダイオードは、ショットキーダイオードであることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 9】 前記トレンチ溝は、半導体物質で充填され、前記ストラップは金属で形成されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 10】 前記トレンチ溝の側壁の一部に、深さ方向に沿ってゲート絶縁膜をさらに有することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 11】 半導体基板に、下部拡散層に到達するトレンチ溝を形成するステップと、

前記トレンチ溝を半導体物質で充填するステップと、

前記トレンチ溝最上部にダイオードを形成するステップ

と、

前記半導体基板の所定の位置に、前記トレンチ溝に隣接する第 1 拡散領域と、トレンチ溝に対して前記第 1 拡散領域と同じ側で第 1 拡散領域よりもトレンチ溝から離れて位置する第 2 拡散領域とを形成するステップと、前記基板上に、所定の方向に伸びるワード線を形成するステップと、

前記半導体基板上に、前記ダイオードと前記第 1 拡散領域とを接続するストラップを形成するステップと、

10 前記第 2 拡散領域に接続され、前記ワード線と直交する方向に延びるビット線を形成するステップとを含む半導体記憶装置の製造方法。

【請求項 12】 前記トレンチ溝を充填するステップは、第 1 導電型の半導体物質でトレンチ溝最上部近傍まで充填するステップであり、前記第 1 導電型の上部に、前記第 1 導電型とは逆の第 2 導電型の半導体物質を充填するステップをさらに含むことを特徴とする請求項 11 に記載の半導体記憶装置の製造方法。

20 【請求項 13】 前記ストラップを形成するステップは、前記トレンチ溝に充填される半導体物質とは異なる半導体物質でストラップを形成するステップであり、前記トレンチ内に充填される半導体物質との界面でヘテロ接合を形成することを特徴とする請求項 11 に記載の半導体記憶装置の製造方法。

30 【請求項 14】 前記ストラップを形成するステップは、金属でストラップを形成するステップであり、前記トレンチ溝に充填される半導体物質との界面でショットキー接合を形成することを特徴とする請求項 11 に記載の半導体記憶装置の製造方法。

【請求項 15】 前記ワード線形成ステップは、ワード線とともに、前記ワード線と平行に延びるバスワード線を形成し、前記ストラップ形成ステップは、ワード線とバスワード線との間にストラップを自己整合的に形成することを特徴とする請求項 11 に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

40 【発明の属する技術分野】 本発明は、半導体記憶装置およびその製造方法に関し、特にダイオードを用いて信号特性を向上するゲインセル構造の半導体記憶装置と、その製造方法に関する。

【0002】

【従来の技術】 近年、ダイナミック RAM (DRAM) の微細化にともない、セルキャパシタの密積容量 C_s の確保が困難になってきている。DRAM では、1 ビットの情報を記憶する単位メモリセルが、1 個のトランジスタと 1 個のキャパシタを含む 1T1C 構造をとるが、センス動作時の動作を確保し、ソフトエラー率を低減するためには、メモリセルの微細化にかかわらず、一定値以

3
上の蓄積電容 C_s を確保する必要がある。しかし、メモリセルが微細化するほど、図7に示すようなトレンチ型キャパシタを有する構成にしたとしても蓄積電容が制限され、十分な蓄積電容を確保することができない。

【0003】また、セルトランジスタのオフリークを防止するために、Pウェルへの不純物ドーズを増加した場合に接合リーク生じ、これが蓄積電荷をさらに減少させ、誤動作の原因となる。

【0004】このため、新構造の代替デバイスの提案がなされている。その中のひとつにゲインセル (gain cell) 構造がある。ゲインセルとしては、通常のDRAMのセル信号 (C_s 信号) を増幅する素子を追加したものや、回路上の工夫により読み取り時に印加電圧、電流の読み取りが行なえるようにしたものなど、様々な構造が提案されている。これらは、通常の1T1CのDRAM構造と比較して素子数が増えてしまい、面積増加や構造の複雑さを招くという問題がある。

【0005】ゲインセルの一例として、プラナーCMOSプロセスで作製されるプラナーゲインセルがある (W. H. Krautschneider, et. al. "Planar Gain Cell for Low Voltage Operation and Gigabit Memories", Symp. VLSI tech., p140, 1995)。プラナーゲインセルは、2つのMOSトランジスタと1つのダイオードで単位セルを構成し、トランジスタを平面型トランジスタで形成したものである。

【0006】

【発明が解決しようとする課題】図6は、このような従来の平面型ゲインセルの断面形状と平面形状を示す。図6(a)に示すように、トランスファ側のトランジスタMtrと、ストレージ (strage) 側のトランジスタMstが同一平面内に並んで形成され、ストレージ側トランジスタMstの上部に、n型ポリシリコン62とp型ポリシリコン63との積層から成るPNダイオード65が形成されている。このように、一方のトランジスタMstのゲート上にPN接合を形成する構造では、隣接のトランジスタMtrや、周辺のセルのトランジスタの形成プロセスと整合をとるのが難しい。

【0007】また、PNダイオードを隣のトランジスタMtrのソース/ドレイン61に接続するチタンシリサイド (TiSi) のストラップ64は、リソグラフィの合わせで形成されており、合わせ精度が加工上の問題となる。

【0008】さらに、図6(b)に示すように、ストレージ側のトランジスタMstは、孤立した残しパターンとなっており、リソグラフィ技術を用いたトランジスタゲートの加工に問題が生じる。ワード線68の他に、ビット線ノード (コンタクト) とVDDノード (コンタクト) にそれぞれつながる配線も必要となり、通常のDRAMに比べて、配線が1層増加するという問題もある。

【0009】そこで、本発明の第1の目的は、2トラン

ジスタ1ダイオードのゲインセル構造を、従来のDRAMの構造の変化や面積の増加なしに実現できる半導体記憶装置を提供することにある。

【0010】本発明の第2の目的は、周辺トランジスタとの整合性の問題や、合わせずれの悪影響を排除したゲインセル構造の半導体記憶装置の製造方法の提供にある。

【0011】

【課題を解決するための手段】上記第1の目的を達成するために、本発明のゲインセル構造の半導体記憶装置は、半導体基板と、半導体基板に形成されたトレンチ溝と、トレンチ溝5の側壁に沿って位置する垂直型の第1トランジスタと、トレンチ溝に隣接して半導体基板上に位置する平面型の第2トランジスタと、トレンチ溝の最上部に位置するダイオードと、ダイオードと第2トランジスタの拡散領域とを接続するストラップとを備える。

【0012】垂直型の第1トランジスタは、ストレージ側トランジスタとして、トレンチ溝に隣接する第1拡散領域と、トレンチ溝底部に接続される下部拡散層と、トレンチ溝内部に充填された半導体物質の一部を含む。

【0013】平面型の第2トランジスタは、トランスファ側トランジスタとして、半導体基板上で第1の方向に伸びるワード線の一部と、その両側に位置する第1拡散領域および第2拡散領域とを含む。このうち、トレンチ溝に隣接する第1拡散領域は、第1トランジスタの拡散領域と共用される。

【0014】トレンチ最上部に位置するダイオードは、たとえばPNダイオードである。この場合、トレンチ溝の充填物は、第1導電型の半導体物質であり、この第1導電型の半導体物質の上部に、第1導電型とは逆の第2導電型の半導体物質をさらに有する。

【0015】ダイオードはまた、ヘテロ接合ダイオードである。この場合、ストラップはトレンチ溝の充填物と異なる種類の半導体物質のストラップである。ストラップとトレンチ内充填物との界面 (すなわち異種半導体の界面) でヘテロ接合となり、ヘテロ接合ダイオードが構成される。

【0016】ダイオードはまた、ショットキーダイオードである。この場合、ストラップは金属ストラップである。ストラップとトレンチ内充填物との界面 (金属-半導体界面) でショットキー接合となり、ショットキーダイオードが構成される。

【0017】この半導体記憶装置は、平面型の第2トランジスタの第2拡散領域に接続され、ワード線と直交して延びるビット線をさらに有する。

【0018】このような構成の半導体記憶装置の各単位セルは、2つのトランジスタと1つのダイオードを有するが、このうちのひとつのダイオードをトレンチ溝内に縦型に配置し、トレンチ上部にダイオードを配置するた

め、従来の1T1C型のDRAMとほぼ同様の面積で、

(4)

5

信号性能にすぐれたゲインセル構造を実現することができ
る。

【0019】トレンチ内に深さ方向の縦型トランジスタを配置することにより、単位セル面積を増大させることなく、2トランジスタ1ダイオードのゲインセル構造を実現することができる。

【0020】また、トレンチ低部につながる下部配線を利用することができ、余分の配線層を必要としない。

【0021】このようなゲインセル構造を採用することによって、従来のDRAM規模で信号性能にすぐれた半
導体記憶装置が提供される。

【0022】第2の目的を達成するために、本発明の半導体記憶装置の製造方法は、半導体基板に、下部拡散層に到達するトレンチ溝を形成する。トレンチ内に半導体物質を充填し、トレンチ最上部にダイオードを形成する。半導体基板の所定の位置に不純物注入して、トレンチ溝に隣接する第1拡散領域と、トレンチ溝に対して第1拡散領域と同じ側で第1拡散領域よりもトレンチ溝から離れて位置する第2拡散領域とを形成する。基板上に所定の方向に沿ってワード線を形成する。ワード線は第1拡散領域と第2拡散領域の間に延びる。その後、ダイ
オードと第1拡散領域とを接続するストラップを形成する。最後に、第2拡散領域に接続し、ワード線と直交する方向に延びるビット線を形成する。

【0023】トレンチ溝を充填するステップは、第1導電型の半導体物質をトレンチ溝最上部近傍まで充填し、ダイオードを形成するステップは、第1導電型とは逆の第2導電型の物質を、第1導電型物質の上に充填することによってPNダイオードを形成する。

【0024】あるいは、ストラップを、トレンチ内に充
填された半導体とは異なる種類の半導体で形成し、ストラップとトレンチ内充填物との界面にヘテロ接合ダイオードを形成する。

【0025】あるいはまた、ストラップを金属で形成し、ストラップとトレンチ内充填物との界面にショットキーダイオードを形成する。

【0026】このように、従来のDRAMの製造プロセスとはほぼ同様の工程により、2T1D構造の半導体記憶装置を製造することが可能になる。

【0027】本発明のその他の特徴、効果は、以下で図面を参照して述べる詳細な説明により、いっそう明確になるものである。

【0028】

【発明の実施の形態】<第1実施形態>図1は、本発明の第1実施形態にかかるゲインセルを示す図であり、図1(a)は本発明で実現しようとするゲインセル構造の等化回路図、図1(b)は、第1実施形態にかかるゲインセルの断面図である。

【0029】図1(a)に示すように、ゲインセルは、2つのトランジスタ(トランスファ側のトランジスタMtr、およびストレージ側トランジスタMst)と、1つのダイオードを有する。この2T1Dゲインセルの動作として、書き込み時には、従来のDRAMと同様に、トランスファ側のトランジスタMtrをONにして、“0”と“1”を書き込むが、“1”の書き込み時の動作が、従来のDRAMでのキャパシタへの電荷保持とは異なる。すなわち、ビット線BLに電圧が印加されると、ダイオードが順バイアスとなり、ストレージ側トランジスタMstがONされる。いったんストレージ側トランジスタMstがONすると、VDDが常にダイオードの順バイアス方向に印加され、ストレージ側トランジスタMstのON状態が持続する。

【0030】読み出し動作では、“1”を読み出す場合は、接地電位をビット線に印加する。ストレージ側トランジスタMstのゲートに蓄積された電荷が、このトランジスタをONし、ストレージ側トランジスタから抵抗を差し引いたドレイン電流が流れ出し、ビット線BLにVDDの抵抗落ち分が出力される。“0”を読み出す場合は、ストレージ側トランジスタMstはOFFしており、ビット線BLにゼロ出力が読み出される。

【0031】このようなゲインセルでは、ビット線に直接VDDを引き出すので、十分な信号電荷を得ることができ、セル信号に余裕をもたせることができる。

【0032】図1(a)の2T1Dゲインセルをトレンチ型DRAMに実現した図を図1(b)に示す。

【0033】第1実施形態にかかるゲインセル型半導体装置は、半導体基板1と、半導体基板1に形成されたトレンチ溝5と、トレンチ溝5の側壁に沿って位置する垂直型の第1のトランジスタと、トレンチ溝5に隣接して半導体基板上に位置する平面型の第2のトランジスタと、トレンチ溝5内の最上部に位置するダイオードと、このダイオードと平面型の第2トランジスタの拡散領域とを接続する金属ストラップ16とを有する。トレンチ溝5の低部は、VDDにつながる下部配線(下部拡散層)14に接続する。

【0034】トレンチの深さ方向に沿った垂直型の第1トランジスタは、ストレージ側トランジスタMstである。この第1トランジスタは、トレンチ5に隣接するn型拡散領域11と、VDDノードにつながる下部拡散領域と、トレンチ側壁のゲート絶縁膜と界面を成す充填物(第1実施形態ではn型ポリシリコン)の一部とで構成される。

【0035】平面型の第2トランジスタは、トランスファ側トランジスタMtrであり、ワード線8の一部と、その両側に位置するn型拡散層11とで構成される。

【0036】第1実施形態においては、トレンチ溝最上部に位置するダイオードは、PNダイオードであり、金属ストラップ16はTiSiストラップである。トレンチ溝5の最上部にPNダイオードを形成するために、トレンチ溝5の内部に、たとえばn型ポリシリコン2が充

50

7
填され、最上部にp型ポリシリコン層15が配置される。

【0037】図1(b)に示す第1実施形態のトレンチ型ゲインセルを、図7(b)に示す従来の1T1C型トレンチDRAMと比較した場合、以下の特徴を有する。

【0038】(1) トレンチ上部にp型(またはn型)のポリシリコン15が埋め込まれ、トレンチ内部のn型(またはp型)のポリシリコン2との界面でPN接合を有する。

【0039】(2) トランスファ側トランジスタと、PNダイオードとを接続するストラップとして、トレンチ5とn型拡散層11との間にTiSi層16有する。

【0040】(3) 従来のトレンチDRAMでトレンチの上部側壁に設けられていた分離用のカラー酸化膜74のかわりに、薄いゲート酸化膜18をトレンチ側壁の一部に沿って有する。

【0041】TiSiストラップ16は、トランスファ側トランジスタ(第2トランジスタ)のn型シリコン拡散層11と、ダイオードのp型シリコン層15の双方と接して、それぞれと良好なオーミックコンタクトを形成する。

【0042】また、トレンチ側壁に沿って位置する垂直型の第1トランジスタでは、深さ方向のトレンチ側壁の一部をゲートとして利用するので、チャネル長を十分に取ることができる。この結果、セルの微細化にもかわらず、短チャネル効果を防止することができる。

【0043】このようなトレンチ型のゲインセルでは、図6に示す平面型ゲインセルと異なり、単位セル当たりの面積を効果的に低減できる。

【0044】このような縦型ゲインセルの製造方法としては、まず、半導体基板1に下部配線(拡散配線)14に到達するトレンチ溝5を形成する。

【0045】次に、トレンチ溝内部にCVD法でn型ポリシリコン2を堆積し、上面をCMPで平坦化した後、RIEでトレンチ溝最上端から所定の深さまでエッチングする。トレンチ溝内のn型ポリシリコン2上に、p型ポリシリコン15を堆積し、同じくCMPで平坦化し、RIEでp型ポリシリコン15を基板1の表面まで除去する。

【0046】その後、PEP(photo Engraving Process: 写真蝕刻工程)、およびそれに引き続くRIEによってシャロートレンチを形成する。このシャロートレンチをSiO₂などの酸化膜で埋め込み、表面をCMP研磨して、STI(shallow trench insulator: トレンチ分離絶縁膜)を形成する。このとき、トレンチ溝5を形成したときのマスク材が残っており、これをシャロートレンチの埋め込みおよびCMPに流用する。

【0047】次に、マスク材を除去し、全面にゲート酸化膜(不図示)を形成する。基板1の所定の領域にn型不純物をイオン注入して拡散領域(ソース/ドレイン)1

1を形成する。その後、ゲート配線材料を堆積する。この配線材料をPEP加工して、基板1上に第1の方向に延びるパスワード線8'およびワード線8を同時に形成する。

【0048】次に、トレンチ溝5に隣接する側のn型拡散領域11と、トレンチ溝上部のp型ポリシリコン層15とを接続するため、ワード線8とパスワード線8'の間に、TiSiストラップ16をセルフアライメント(自己整合)的に形成する。

【0049】最後にワード線8、8'、TiSiストラップ16、および半導体基板1を覆って層間絶縁膜を堆積する。層間絶縁膜に、トレンチ溝5から遠い側のn型拡散領域11に到達するコンタクトホールを形成し、ホール内にタングステンなどを充填してプラグ(ビット線コンタクト)17を形成する。最後にプラグ17に接続し、ワード線と直交する第2の方向に伸びるビット線10を形成する。

【0050】この製造方法では、ゲート酸化膜18は、トレンチ溝内部へのn型ポリシリコン2の堆積工程の一部として形成することができる。したがって、図7(b)に示す従来の1T1C構造のトレンチDRAMに比べ、トレンチ側壁酸化膜74の形成工程を省略し、かわりに、トレンチ内へのp型ポリシリコン15の再埋め込み工程を追加し、トレンチ溝と隣接するn型拡散層71を覆うn型ポリシリコン72のかわりに、TiSi16を堆積すればよい。したがって、比較的容易な工程変更でPNダイオードを有するゲインセルを作製することができる。

【0051】また、パスワードライン8'もトレンチ内のポリシリコンのリセスで形成することができ、図6(b)に示す従来の平面型ゲインセルと異なり、リソグラフィで孤立のゲート電極パターンを形成する必要がない。

【0052】さらに、図6に示す従来の平面型ゲインセルでは、ストレージ側のトランジスタのゲート電極上にPNダイオードを形成する必要があり、トランスファ側トランジスタMtrや周辺のトランジスタの形成プロセスとの整合性に問題があったが、本発明ではダイオードはトレンチ溝内部に埋め込まれている。したがって、トランスファ側のトランジスタMtrや周辺のトランジスタの形成プロセスとは独立しており、整合性の問題はない。

【0053】加えて、TiSiストラップ16の形成時に、トランスファ側トランジスタのゲート電極(ワード線8)と、パスワード線8'との間にセルフアライメントで形成できる。したがって、図6(b)の従来の平面型ゲートセルと異なり、リソグラフィによる合わせが必要なくなり、合わせずれの悪影響を排除することができる。

【0054】<第2実施形態>図2は、本発明の第2実施形態にかかるゲインセルの断面図である。第2実施形

態では、第1実施形態のPNダイオードにかえて、ヘテロ接合ダイオードまたはショットキーダイオードを用いる。すなわち、トレンチ上部に異なる導電型（たとえば、n型）のポリシリコン15を埋め込む必要性を省略し、トレンチ内部の埋め込みは1つの導電型のポリシリコンのみで行う。このポリシリコンに対して、異種半導体または金属層のストラップ17を設ける。

【0055】ストラップ17を、たとえばIV-IV化合物であるSiC（炭化ケイ素）で形成する場合は、トレンチ内部のポリシリコン2とストラップ17の界面に、ヘテロ接合ダイオードが形成される。この場合、ストラップ17は、ヘテロ接合ダイオードとトランスファ型トランジスタM1とをつなぐことになる。

【0056】ストラップ17を金属で形成する場合は、ストラップとシリコンの界面に金属-半導体のショットキーダイオードが形成される。従来より、金属-シリコンのコンタクトでは、シリコン側のドーズにより、障壁高さが変化することが知られており、ストラップ17とトレンチ内部のポリシリコンとの間はショットキー接合、ストラップ17とトランスファ側トランジスタとの間はオーミック接合となるように、不純物ドーズ量を設定する必要がある。

【0057】たとえば、トレンチ内部をp型ポリシリコンとして、ストラップ17とショットキー接合を形成しやすくし、トランスファ側トランジスタのソース/ドレイン11をn型にしてオーミック接合を形成してもよい。あるいは、トレンチ内をn型ポリシリコンとしてショットキー接合を形成し、トランスファ側トランジスタのソース/ドレイン11をn+型にしてオーミック接合にしてもよい。さらに、ショットキー接合とオーミック接合を逆にしてもよい。

【0058】このようなゲインセルも、第1実施形態と同様に、セル当たりの面積を増大させることなく1素子増やしたゲインセルを実現することができる。

【0059】また、第1実施形態に比べ、トレンチ内にPN接合用に再埋め込みするステップを省略することができる。

【0060】＜第3実施形態＞第3実施形態では、ゲインセル構造の半導体記憶装置において、折り返しセンスアンプとそれに伴うパスワード線を省略する構成を提供する。

【0061】図3(a)は、第3実施形態に係るゲインセル構造の半導体記憶装置の平面図、図3(b)は、図3(a)のA-A断面図である。第3実施形態においても、第1実施形態と同様に、トレンチ溝上部にPNダイオードを有し、トレンチ溝の側壁に沿った縦型のストレージ側トランジスタを有する。パスワードラインを省略した以外は、その他の構成について第1実施形態と同様の構成をとるので、その説明を省略する。

【0062】従来のDRAMでは、図7に示すように、

2本のビット線79がひとつのセンスアンプS/Aに折り返し構造で接続され、ワード線電位の変動（ノイズ）を2本のビット線に等しく振り分けることによって、ビット線間のノイズをキャンセルする。これは、メモリセルからの微小信号電圧を検出し増幅するために従来のDRAMに必要な構成である。このとき、1本のワード線を選択した場合、折り返しセンスアンプに接続されている両方のビット線にデータが出力されないように、バスワード線78'を用いて調整している。

【0063】これに対して、本発明では、ゲインセル構造を採用するため、セル信号に余裕が生じ、相対的にノイズが少ない。したがって、折り返しセンスアンプが不要となり、パスワード線を省略することができる。

【0064】また、ストレージ側トランジスタとダイオードとを、第1実施形態同様にトレンチ内部に形成するので、図6(b)に示す従来の平面型ゲインセルと異なり、孤立したゲートパターンを形成する必要がない。セル自体の面積を低減し、一方でトレンチ側のストラップ36の面積を十分にとれるという利点がある。

【0065】＜第4実施形態＞図4は、本発明の第4実施形態にかかる半導体記憶装置を示す。図4(a)は、セル配置を見やすくするために、ワード線48の上層でワード線に直交して延びるビット線を省略した平面図であり、図4(b)は、ビット線49を描き入れた平面図である。

【0066】このレイアウトでは、DRAMで一般的に用いられている8F2(2F×4F)のセルサイズで、1/2ピッチだけオフセットしたレイアウトをそのまま用いることができる。ここでFは、加工の最小寸法を表わす。また、折り返しセンスアンプ（不図示）とパスワード線を用いることのできるレイアウトとなっている。

【0067】1/2ピッチレイアウトは、セル密度を高めることができるので、半導体メモリの集積度を向上することができる。図4のレイアウトではさらに、隣接する2つのセルで、ひとつのビット線コンタクト47を共有し、集積度をさらに高めている。

【0068】図4において、楕円形で示すトレンチ45内に、図1または図2に示す構造のストレージ側トランジスタが形成されており、トレンチ上部のPNダイオード、ヘテロ接合ダイオード、またはショットキーダイオードを、ストラップ46によってトランスファ側トランジスタ（不図示）に接続する。トランスファ型トランジスタの一方のソース/ドレインは、ビット線コンタクト47に接続されている。

【0069】第4実施形態のレイアウトでは、ゲインセル構造を従来の1T1CのDRAMの1/2ピッチレイアウトにそのまま適用でき、占有面積はそのままにして信号の質の向上を図ることが可能になる。

【0070】＜第5実施形態＞図5は、本発明の第5実施形態にかかる半導体記憶装置を示す。図5(a)は、

セル配置を見やすくするために、ワード線58の上層でワード線に直交して延びるビット線を省略した平面図であり、図5(b)は、ビット線59を描き入れた平面図である。

【0071】第5実施形態では、ゲインセル構造によるセル信号の向上にともない、折り返しセンスアンプとバースワード線を省略したレイアウトである。このレイアウトでは、ストラップ56の片側は、ワード線58にセルフアラインで形成され、もう一方の側(トレンチ側)は比較的位置合わせ精度が要求されないので、合わせ余裕が増大し、加工性が向上するという利点を有する。

【0072】第5実施形態においても、トレンチ55内に縦方向にストレージ側トランジスタが形成されており、トレンチ上部のダイオードは、PNダイオード、ヘテロ接合ダイオード、またはショットキーダイオードのいずれを用いてもよい。

【0073】

【発明の効果】以上述べたように、本発明の半導体記憶装置によれば、素子数、配線の増加により実現困難なゲインセル構造を、トレンチ溝構造を利用することにより、従来のDRAMに近い構成で、面積の増大なしに実現することができる。

【0074】また、本発明の半導体記憶装置の製造方法によれば、従来のDRAMとほぼ同じ製造工程で、ゲインセル構造の半導体記憶装置を作製することができる。

【図面の簡単な説明】

【図1】本発明で実現するゲインセルの等価回路と、この等価回路を実現する第1実施形態に係る縦型ゲインセル

*ルの断面図である。

【図2】本発明の第2実施形態にかかる縦型ゲインセルの断面図である。

【図3】本発明の第3実施形態にかかるゲインセル構造の半導体記憶装置の平面レイアウトと、この半導体記憶装置に用いられる縦型ゲインセルの断面図である。

【図4】本発明の第4実施形態に係るゲインセル構造の半導体記憶装置の平面レイアウトである。

【図5】本発明の第5実施形態に係るゲインセル構造の半導体記憶装置の平面レイアウトである。

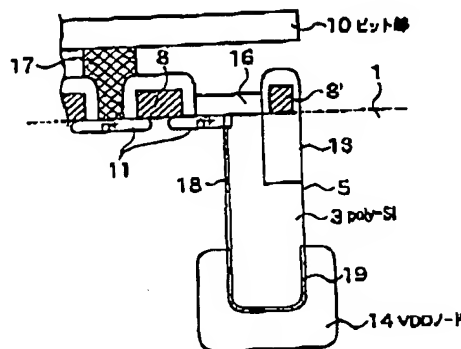
【図6】従来の平面型ゲインセルの構造を示す断面図および平面図である。

【図7】従来の1T1C型DRAMの平面レイアウトと、セル断面図である。

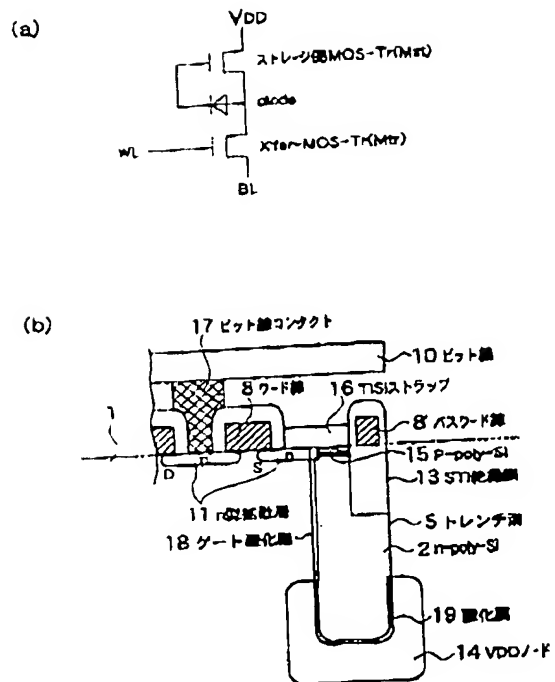
【符号の説明】

- 1 半導体基板
- 2 n型ポリシリコン
- 3 p型ポリシリコン
- 5、45、55 トレンチ溝
- 8、38、48、58 ワード線
- 10、39、49、59 ビット線
- 11、31 n型拡散領域(ソース/ドレイン)
- 13、33、42 STI絶縁膜
- 14 VDDノード(下部拡散層)
- 15 p型ポリシリコン
- 16、36、46、56 ストラップ
- 17、37、47、57 ビット線コンタクト
- 18 ゲート絶縁膜

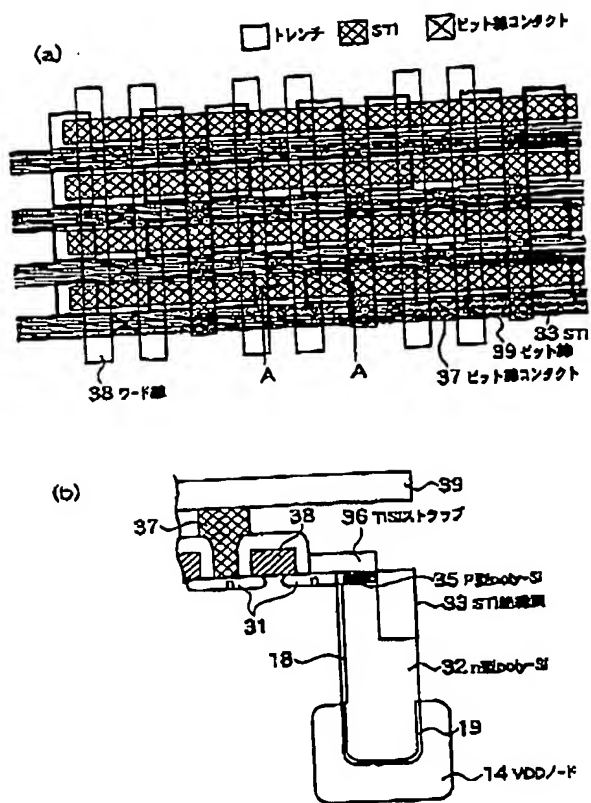
【図2】



【図1】

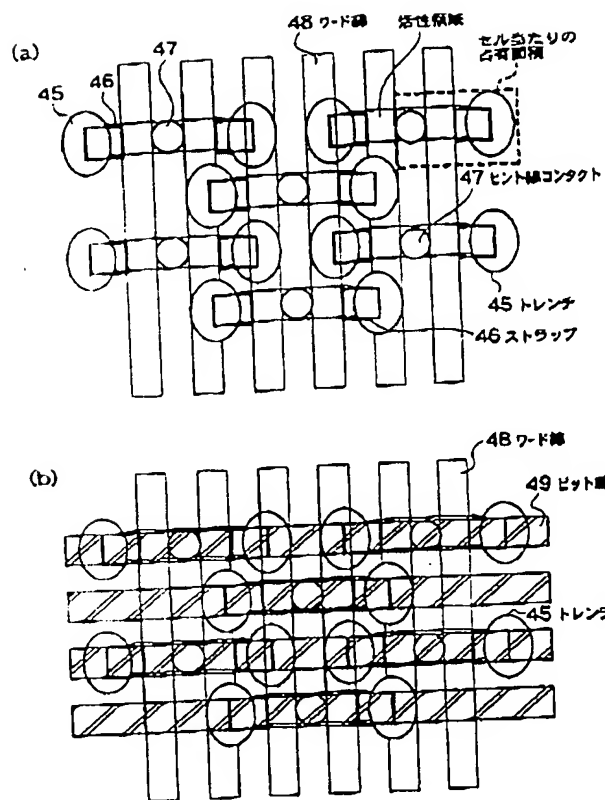


【図3】

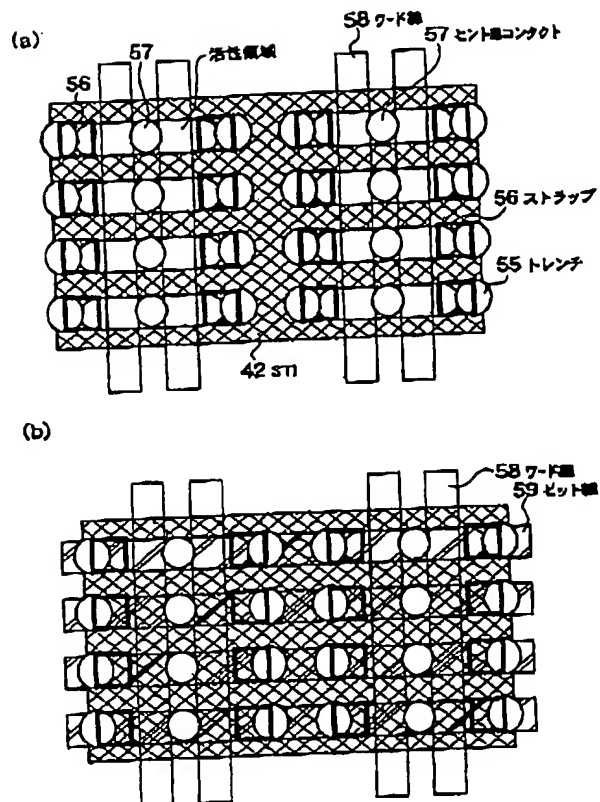


(9)

【図 4】

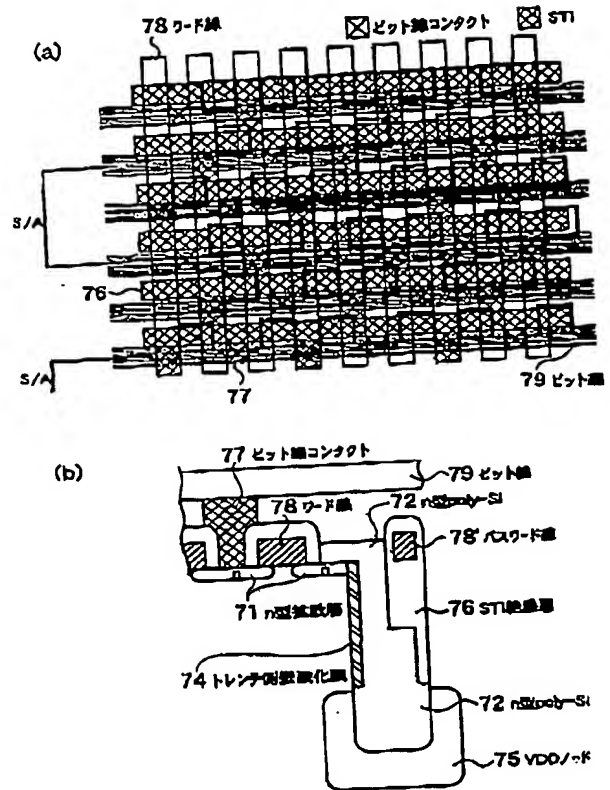
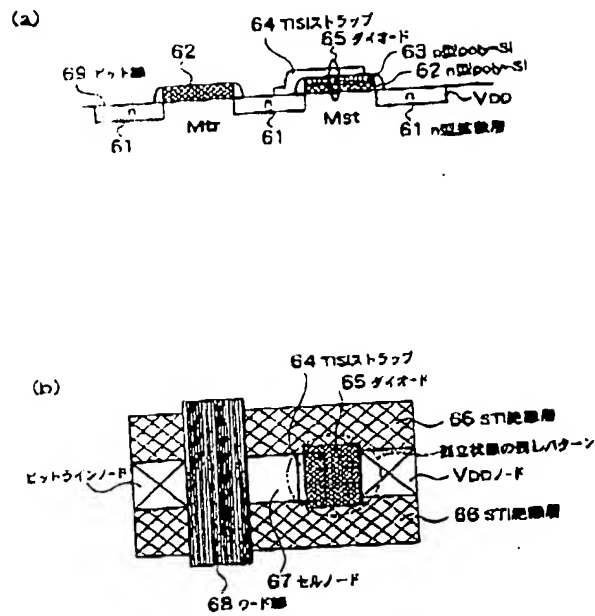


【図 5】



【図 7】

【図 6】



整理番号:A000305137 発送番号:439744 発送日:平成17年11月22日

拒絶理由通知書

特許出願の番号

特願2003-416183

起案日

平成17年11月18日

特許庁審査官

井原 純

9354 4M00

特許出願人代理人

鈴江 武彦(外 5名) 様

適用条文

第29条第2項

18.1.21

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の特許公報に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

(引用文献等については引用文献等一覧参照)

請求項 1～5

理由 1

引用文献等No. 1, 2

[備考]

引例1には、ストラップコンタクト用のポリシリコン膜から不純物が拡散しないようにトレンチの側壁にSiO₂膜及びSiN膜を形成することが開示されている。そして、引例1には、素子分離領域について記載がないものの、引例2には、トレンチキャパシタ型のDRAMにおいて、トレンチキャパシタと隣接し、なおかつ、素子領域を囲むように素子分離領域を設けることが開示されているから、引例1に記載の発明において、引例2に開示された素子分離領域を設けることにより、本願の請求項1～5に係る発明の構成とすることは当業者が容易に心得たものである。

補正の際には、補正は、この出願の出願当初の明細書又は図面の記載から自明な事項に限られる点に注意し、意見書で、各補正事項について補正が適法なものである理由を、根拠となる出願当初の明細書の記載箇所を明確に示したうえで主張されたい。意見書の記載形式は、無効審判における訂正請求書の記載形式を参

AC

整理番号: A000305137 発送番号: 439744 発送日: 平成17年11月22日
ここに示されたい。また、明細書を補正した場合は、補正により記載を変更した個所に下線を引くこと（特許法施行規則様式第13備考6）。

＜先行技術文献情報の開示について＞

この拒絶理由通知書において提示した引例1は、本願の明細書に開示される発明が解決しようとする課題と同一の課題が開示されており、しかも解決するための手段として、本願の請求項に記載されているように絶縁膜を形成することも開示されている文献である。（実施例レベルでみれば、引例1は酸化膜と窒化膜の積層構造、本願発明は熱酸化膜単層の違いがある。）しかも、引例1は、本出願と同一出願人が出願した特許出願の公開公報であることからして、出願人自身が本出願の出願前に認識していた蓋然性が極めて大きいものである。特許法に設けられた規定（第36条第4項第2号）の趣旨は、迅速な審査に寄与することだけでなく、特許を受けようとする発明と先行技術との関係の的確な評価ができるため、権利の安定化にも資することであるから、今回のように、上述したような極めて近い文献の開示を求めていることは明らかである。そして、引例1は、本願出願人が自ら出願した特許出願の公開公報であるから、先行技術文献の開示にあたって、出願人にとって過度の負担を要するものではない。

したがって、今後の特許出願においては、自社出願の調査を十分に行った上で、今回のような出願の存在を確認した時は、その発明の出願の是非を十分に検討し、出願するという結論に至った場合には、その先行技術が開示された出願の公開公報を従来技術として提示しつつ、十分な対比説明を行い、どこに進歩性があるのか（従来技術と比較してどこに効果があるのか）を明細書中に記載することが望ましい。

引用文献等一覧

1. 特開平11-26707号公報
2. 特開2002-118240号公報

先行技術文献調査結果の記録

- | | |
|----------|---|
| ・ 調査した分野 | IPC第7版 H01L27/108
H01L21/8242 |
| ・ 先行技術文献 | 特開2005-150159号公報
特開2000-031408号公報
特開平06-120446号公報
特開平08-274280号公報
特開平05-067749号公報 |

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

(Translation)

Mailed: November 22, 2005

NOTIFICATION OF REASONS FOR REJECTION

Patent Application No.: 2003-416183

Examiner's Notice Date: November 18, 2005

Examiner: J. Ihara

This application is rejected on the grounds stated below. Any opinion about the rejection must be filed within 60 DAYS of the mailing date hereof.

REASON

1. The invention(s) recited in the following claims is unpatentable under Section 29 (2) of the Patent Law, as being such that the invention could easily have been made by a person with ordinary skill in the art to which the invention pertains, on the basis of the invention described in the following publications distributed in Japan or a foreign country prior to this application or the invention made available to the public through electric telecommunication lines in Japan or a foreign country prior to this application.

REMARKS

Claims 1-5

Reason 1

References 1 and 2

[Notes]

Reference 1 discloses forming an SiO_2 film and an SiN film on a side wall of a trench so that impurities may not diffuse from a polysilicon film for strap contact. Reference 1 does not disclose an element isolating region, but Reference 2 discloses a DRAM of trench capacitor type, in which an element isolating region is formed in proximity to a trench capacitor and surrounding an element region. Therefore, a person skilled in the art could have readily applied an element isolating region disclosed in Reference 2 to the invention disclosed in Reference 1, thereby obtaining the configuration of the inventions recited in claims 1 to 5 of the present invention.

Notification of Reasons for Rejection

Page 2/3

When preparing an amendment, note that amendment is limited within the scope obvious from the matters disclosed in the originally filed specification or drawings. The applicant is required to describe in a Written Argument the reason why each amendment is lawful, indicating the portion of the originally filed specification or the like which supports the amendment. As for the format of the Written Argument, refer to the format of a request for correction in an invalidation trial. When the specification is amended, the portion to be amended should be underlined (Regulations under the Patent Law, Form No. 13, Note 6).

<Disclosure of Prior Art Information>

Reference 1 cited in this Notification of Reasons for Rejection discloses the same object to be achieved by the invention disclosed in the specification of the present application. In addition, it discloses forming an insulating film as recited in the claims of the present application as means for achieving the object. (At a level of embodiments, Reference 1 differs from the present invention because the former relates to a stacked structure of an oxidation film and a nitride film, while the latter relates to a single layer of a thermal oxidation film). Further, since Reference 1 is an unexamined patent publication of a patent application filed by the applicant, it is highly possible that the applicant was aware of the reference before filing the present application. The purport of the provision of the Patent Law (Section 36 (4) (ii) of the Patent Law) is not only to contribute to prompt examination but also to facilitate stabilization of rights, by accurately evaluating the relationship between the claimed invention and the prior art. Therefore, it is clear that disclosure of such a very close invention as the reference in the present case is required. Moreover, since Reference 1 is an unexamined patent

Notification of Reasons for Rejection

Page 3/3

publication of the patent application filed by the applicant, the applicant would not have been unduly burdened by disclosure of the prior art document.

Therefore, in future patent applications, it is preferable that the applicant search its own applications. If the applicant become aware of the presence of such an application as the reference cited in this notification, it is preferable that the applicant fully consider the appropriateness of filing the new application for the similar invention. If the applicant comes to the conclusion that the new application should be filed, the applicant should preferably cite the unexamined patent publication disclosing the prior art, fully compare the present invention with the prior art, and describe what is an inventive step (what is an advantage of the present invention over the prior art) in the specification.

References Cited:

1. Jpn. Pat. Appln. KOKAI Publication No. 11-26707
2. Jpn. Pat. Appln. KOKAI Publication No. 2002-118240

Prior Art Search Report

Searched Field(s): IPC 7th ed. H 01 L 27/108
H 01 L 21/8242

Prior-Art Document(s):

- Jpn. Pat. Appln. KOKAI Publication No. 2005-150159
- Jpn. Pat. Appln. KOKAI Publication No. 2000-031408
- Jpn. Pat. Appln. KOKAI Publication No. 06-120446
- Jpn. Pat. Appln. KOKAI Publication No. 08-274280
- Jpn. Pat. Appln. KOKAI Publication No. 05-067749

The result of this prior art search does not constitute the reasons for rejection.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.